



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0086063
(43) 공개일자 2020년07월16일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01)

(52) CPC특허분류
H01L 25/0753 (2013.01)

(21) 출원번호 10-2019-0002217

(22) 출원일자 2019년01월08일

심사청구일자 없음

(71) 출원인

주식회사 루멘스

경기도 용인시 기흥구 원고매로 12 (고매동)

(72) 발명자

서주욱

경기도 용인시 기흥구 원고매로 12(고매동, 주식회사 루멘스)

(74) 대리인

유창열

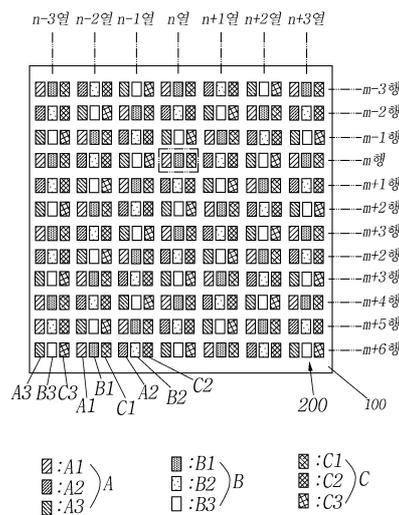
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 마이크로 엘이디 디스플레이 모듈 및 그 제조방법

(57) 요약

마이크로 엘이디 디스플레이 모듈이 개시된다. 상기 마이크로 엘이디 디스플레이 모듈은 기관; 및 상기 기관상에 복수개의 행(rows)과 복수개의 열(columns)로 상기 기관 상에 배열된 복수개의 픽셀들을 포함하며, 상기 픽셀들 각각은 A 엘이디칩, B 엘이디칩 및 C 엘이디칩을 포함하고, m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼의 엘이디칩이며, m행 n-1열 픽셀의 A 엘이디칩 및 m행 n+1열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼의 엘이디칩이다.

대표도 - 도2



명세서

청구범위

청구항 1

기관; 및

상기 기관상에 복수개의 행(rows)과 복수개의 열(columns)로 상기 기관 상에 배열된 복수개의 픽셀들을 포함하며,

상기 픽셀들 각각은 A 엘이디칩, B 엘이디칩 및 C 엘이디칩을 포함하고,

m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼의 엘이디칩이며,

m행 n-1열 픽셀의 A 엘이디칩 및 m행 n+1열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 2

청구항 1에 있어서,

m행 n+1열 픽셀의 A 엘이디칩은 A2 웨이퍼의 엘이디칩이며,

m행 n-1열 픽셀의 A 엘이디칩은 A3 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 3

청구항 1에 있어서,

m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼의 엘이디칩이며,

m+1행 n열 픽셀의 A 엘이디칩 및 m-1행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 4

청구항 1에 있어서,

m행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼의 엘이디칩이고,

상기 m행 n+1열 픽셀의 B 엘이디칩은 B2 웨이퍼의 엘이디칩이며,

상기 m행 n-1열 픽셀의 B 엘이디칩은 B3 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 5

청구항 1에 있어서,

m행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼의 엘이디칩이며,

m+1행 n열 픽셀의 B 엘이디칩 및 m-1행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼와 다른 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 6

청구항 1에 있어서,

m행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼의 엘이디칩이고,

m행 n+1열 픽셀의 C 엘이디칩은 C2 웨이퍼의 엘이디칩이며,

m행 n-1열 픽셀의 C 엘이디칩은 C3 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 7

청구항 1에 있어서,

m행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼의 엘이디칩이며,

m-1행 n열 픽셀의 C 엘이디칩 및 m+1행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼와 다른 웨이퍼의 엘이디칩인 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈.

청구항 8

A1 웨이퍼로부터 분할된 A1 엘이디칩들, A2 웨이퍼로부터 분할된 A2 엘이디칩들, A3 웨이퍼로부터 분할된 A3 엘이디칩들을 준비하는 A 준비 단계;

B1 웨이퍼로부터 분할된 B1 엘이디칩들, B2 웨이퍼로부터 분할된 B2 엘이디칩들, B3 웨이퍼로부터 분할된 B3 엘이디칩들을 준비하는 B 준비 단계;

C1 웨이퍼로부터 분할된 C1 엘이디칩들, C2 웨이퍼로부터 분할된 C2 엘이디칩들, C3 웨이퍼로부터 분할된 C3 엘이디칩들을 준비하는 C 준비 단계;

상기 A1 엘이디칩들, 상기 A2 엘이디칩들 및 상기 A3 엘이디칩들을 일방향으로 A1, A2 및 A3 엘이디칩의 순서가 되도록 A 테이프 상에 어레이하는 A 어레이 단계;

상기 B1 엘이디칩들, 상기 B2 엘이디칩들 및 상기 B3 엘이디칩들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 B 테이프 상에 어레이하는 B 어레이 단계;

상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들을 일방향으로 C1, C2 및 C3 엘이디칩의 순서가 되도록 C 테이프 상에 어레이하는 C 어레이 단계; 및

상기 A 테이프, 상기 B 테이프 및 상기 C 테이프 상의 엘이디칩들을 기관 상에 어레이하여 상기 기관 상에 복수의 픽셀들을 형성하는 단계를 포함하며,

상기 복수의 픽셀들 각각은 A1, B1 및 C1 엘이디칩들, A2, B2 및 C2 엘이디칩들, 또는 A3, B3 및 C3 엘이디칩들을 포함하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 9

청구항 8에 있어서, 상기 A 어레이 단계는, 상기 A1, A2 및 A3 엘이디칩의 순서를 형성하기 위해, A1 엘이디칩들, A2 엘이디칩들 및 A3 엘이디칩들을 라인별로 배열하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 10

청구항 8에 있어서, 상기 B 어레이 단계는, 상기 B1, B2 및 B3 엘이디칩의 순서를 형성하기 위해, B1 엘이디칩들, B2 엘이디칩들 및 B3 엘이디칩들을 라인별로 배열하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 11

청구항 8에 있어서, 상기 C 어레이 단계는, 상기 C1, C2 및 C3 엘이디칩의 순서를 형성하기 위해, C1 엘이디칩들, C2 엘이디칩들 및 C3 엘이디칩들을 라인별로 배열하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 12

청구항 8에 있어서, 상기 기관 상에 복수의 픽셀들을 형성하는 단계는 상기 A 테이프 상의 엘이디칩들, 상기 B 테이프 상의 엘이디칩들 및 상기 C 테이프 상의 엘이디칩들을 다른 곳을 경유하지 않고 바로 상기 기관 상으로 옮기는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 13

청구항 12에 있어서, 상기 A 테이프 상의 엘이디칩들, 상기 B 테이프 상의 엘이디칩들 및 상기 C 테이프 상의 엘이디칩들은 상기 A 테이프, 상기 B 테이프 및 상기 C 테이프 각각으로부터 픽 앤 플레이스(pick and place) 방법에 의해 상기 기판 상으로 옮겨지는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 14

청구항 8에 있어서, 상기 기판 상에 복수의 픽셀들을 형성하는 단계는, 상기 A1, B1 및 C1 엘이디칩, 상기 A2, B2 및 C2 엘이디칩 및 상기 A3, B3 및 C3 엘이디칩을 포함하는 복수의 픽셀들을 D 테이프에 형성하도록, 상기 A 테이프, 상기 B 테이프 및 상기 C 테이프 상의 엘이디칩들을 상기 D 테이프 상에 통합적으로 어레이하는 통합 어레이 단계와, 상기 D 테이프 상의 엘이디칩들을 순서 변화 없이 상기 기판 상으로 옮기는 전사 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 15

청구항 14에 있어서, 상기 D 테이프 상의 엘이디칩들은 픽셀(들) 대 픽셀(들)로 상기 기판으로 옮겨지는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 16

청구항 14에 있어서, 상기 통합 어레이 단계는, 상기 A 테이프 상의 엘이디칩들을 A1, A2 및 A3 엘이디칩의 순서가 유지되도록 상기 D 테이프 상에 어레이하는 단계와, 상기 B 테이프 상의 엘이디칩들을 B1, B2 및 B3 엘이디칩의 순서가 유지하도록 상기 D 테이프 상에 어레이하는 단계와, 상기 C 테이프 상의 엘이디칩들을 C1, C2 및 C3 엘이디칩의 순서가 유지하도록 상기 D 테이프 상에 어레이하는 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 17

청구항 8에 있어서, 상기 A1 엘이디칩들, 상기 A2 엘이디칩들, 상기 A3 엘이디칩들, 상기 B1 엘이디칩들, 상기 B2 엘이디칩들, 상기 B3 엘이디칩들, 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들 각각은 Aa, Ab, Ac, Ba, Bb, Bc, Ca, Cb, Cc 테이프 각각에 유지된 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 18

A1 웨이퍼로부터 분할된 A1 엘이디칩들, A2 웨이퍼로부터 분할된 A2 엘이디칩들, A3 웨이퍼로부터 분할된 A3 엘이디칩들을 준비하는 A 준비 단계;

B1 웨이퍼로부터 분할된 B1 엘이디칩들, B2 웨이퍼로부터 분할된 B2 엘이디칩들, B3 웨이퍼로부터 분할된 B3 엘이디칩들을 준비하는 B 준비 단계;

C1 웨이퍼로부터 분할된 C1 엘이디칩들, C2 웨이퍼로부터 분할된 C2 엘이디칩들, C3 웨이퍼로부터 분할된 C3 엘이디칩들을 준비하는 C 준비 단계;

상기 A1 엘이디칩들, 상기 A2 엘이디칩들 및 상기 A3 엘이디칩들을 일방향으로 A1, A2 및 A3 엘이디칩의 순서가 되도록 E 테이프 상에 어레이하는 a 어레이 단계;

상기 B1 엘이디칩들, 상기 B2 엘이디칩들 및 상기 B3 엘이디칩들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 상기 E 테이프 상에 어레이하는 b 어레이 단계;

상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 상기 E 테이프 상에 어레이하는 c 어레이 단계; 및

상기 E 테이프 상의 엘이디칩들을 상기 E 테이프 상의 순서 그대로 기판 상에 어레이하는 단계를 포함하며, 상기 a 어레이 단계, 상기 b 어레이 단계 및 상기 c 어레이 단계에 의해 상기 E 테이프에는 복수의 픽셀들이 형성되고, 상기 복수의 픽셀들 각각 A1, B1 및 C1 엘이디칩들, A2, B2 및 C2 엘이디칩들, 또는 A3, B3 및 C3 엘이디칩들을 포함하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 19

청구항 18에 있어서, 상기 a 어레이 단계는 A1, A2 및 A3 엘이디칩의 순서가 되도록 A1 엘이디칩들, A2 엘이디칩들 및 A3 엘이디칩들을 상기 E 테이프 상에 어레이하고, 상기 b 어레이 단계는 일방향으로 상기 A1 엘이디칩과 인접한 B1 엘이디칩, 일방향으로 상기 A2 엘이디칩과 인접한 B2 엘이디칩 및 상기 A3 엘이디칩과 인접한 B3 엘이디칩의 순서가 되도록 상기 B1 엘이디칩들, 상기 B2 엘이디칩들 및 상기 B3 엘이디칩들을 상기 E 테이프 상에 어레이하고, 상기 c 어레이 단계는 일방향으로 상기 B1 엘이디칩과 인접한 C1 엘이디칩, 일방향으로 상기 B2 엘이디칩과 인접한 C2 엘이디칩 및 상기 B3 엘이디칩과 인접한 C3 엘이디칩의 순서가 되도록 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들을 상기 E 테이프 상에 어레이하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

청구항 20

청구항 18에 있어서, 상기 A1 엘이디칩들, 상기 A2 엘이디칩들, 상기 A3 엘이디칩들, 상기 B1 엘이디칩들, 상기 B2 엘이디칩들, 상기 B3 엘이디칩들, 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들 각각은 Aa, Ab, Ac, Ba, Bb, Bc, Ca, Cb, Cc 테이프 각각에 유지된 것을 특징으로 하는 마이크로 엘이디 디스플레이 모듈 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 마이크로 엘이디 디스플레이 모듈 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 기관 상에 복수의 픽셀들이 행들과 열들을 포함하는 행렬 배열로 배열된 엘이디 디스플레이 모듈이 알려져 있다. 이러한 엘이디 디스플레이 모듈에서 복수의 픽셀 각각은 적색 엘이디칩, 녹색 엘이디칩 및 청색 엘이디칩을 포함한다. 하나의 엘이디 디스플레이 모듈에는 많은 수의 웨이퍼들로부터 얻어진 수백만개 이상의 엘이디칩들이 이용된다. 이 때문에 특정 파장 범위의 광, 예컨대, 적색, 녹색 또는 청색 파장 범위의 광을 발하도록 적용된 동일 종류의 엘이디칩들 사이에도 광의 색특성과 광 출력에 있어서 무시하지 못할 차이가 발생할 수밖에 없다. 이러한 차이를 줄이기 위해 엘이디칩들을 광 특성 테스트 결과에 따라 유사 빈으로 등급화하는 비닝(binning)이 이용되고 있다. 그러나 유사 빈으로 분류된 엘이디칩들이라 하더라도, 유래된 웨이퍼가 다르면, 엘이디칩의 파장 분포(대략 2.5 nm) 및 광 출력 등에 있어서 상당한 차이가 있을 수밖에 없다.

[0003] 도 1은 종래 엘이디 디스플레이 모듈 제조방법을 설명하기 위한 도면이다.

[0004] 도 1을 참조하면, A1 웨이퍼로부터 분할된 채 A1 테이프(4)에 점착되어 있는 A1 엘이디칩(A1)들을 모두 블루 테이프(3) 상에 옮긴 후, A2 웨이퍼로부터 분할된 채 A2 테이프(5)에 점착되어 있는 A2 엘이디칩(A2)들을 모두 블루 테이프(3) 상에 옮기고, 다음 A3 웨이퍼로부터 분할된 채 A3 테이프(6)에 점착되어 있는 A3 엘이디칩(A3)들을 모두 블루 테이프(3) 상에 옮긴다. 이렇게 할 경우, 블루 테이프(3) 상에는 A1 엘이디칩(A1)들끼리 모여 있는 영역과 A2 엘이디칩(A2)들끼리 모여 있는 영역과 A3 엘이디칩(A3)들끼리 모여 있는 영역이 생긴다. 이와 같이 여러 웨이퍼들 각각에서 유래된 엘이디칩들을 예컨대 도 1에 표시된 픽업 방향을 따라 픽업하여 도 1에 표시된 본딩 방향을 따라 기관(1) 상에 본딩하는 경우, 기관 상에 본딩된 동일 파장 범위의 엘이디칩들도 같은 웨이퍼로부터 유래된 엘이디칩들끼리 모여 있는 엘이디 디스플레이 모듈을 초래하게 되며, 이러한 엘이디 디스플레이 모듈은 컬러 균일도가 나쁘고 무라(mura) 현상이 초래된다. B1, B2, B3 엘이디칩들과 C1, C2, C3 엘이디칩들도 마찬가지로 결과를 초래한다.

발명의 내용

해결하려는 과제

[0005] 따라서 본 발명이 해결하고자 하는 과제는 같은 웨이퍼로부터 유래된 마이크로 엘이디칩들이 기관 상에 모여 있지 않고 분산되어 있도록 구성되어 디스플레이 컬러 균일도가 향상되고 무라(mura) 현상을 최소화할 수 있는 마

이크로 엘이디 디스플레이 모듈 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명의 일측면에 따른 마이크로 엘이디 디스플레이 모듈은, 기관; 및 상기 기관상에 복수개의 행(rows)과 복수개의 열(columns)로 상기 기관 상에 배열된 복수개의 픽셀들을 포함하며, 상기 픽셀들 각각은 A 엘이디칩, B 엘이디칩 및 C 엘이디칩을 포함하고, m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼의 엘이디칩이며, m행 n-1열 픽셀의 A 엘이디칩 및 m행 n+1열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼의 엘이디칩이다.
- [0007] 일 실시예에 따라, m행 n+1열 픽셀의 A 엘이디칩은 A2 웨이퍼의 엘이디칩이며, m행 n-1열 픽셀의 A 엘이디칩은 A3 웨이퍼의 엘이디칩이다.
- [0008] 일 실시예에 따라, m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼의 엘이디칩이며, m+1행 n열 픽셀의 A 엘이디칩 및 m-1행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼의 엘이디칩이다.
- [0009] 일 실시예에 따라, m행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼의 엘이디칩이고, 상기 m행 n+1열 픽셀의 B 엘이디칩은 B2 웨이퍼의 엘이디칩이며, 상기 m행 n-1열 픽셀의 B 엘이디칩은 B3 웨이퍼의 엘이디칩이다.
- [0010] 일 실시예에 따라, m행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼의 엘이디칩이며, m+1행 n열 픽셀의 B 엘이디칩 및 m-1행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼와 다른 웨이퍼의 엘이디칩이다.
- [0011] 일 실시예에 따라, m행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼의 엘이디칩이고, m행 n+1열 픽셀의 C 엘이디칩은 C2 웨이퍼의 엘이디칩이며, m행 n-1열 픽셀의 C 엘이디칩은 C3 웨이퍼의 엘이디칩이다.
- [0012] 일 실시예에 따라, m행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼의 엘이디칩이며, m-1행 n열 픽셀의 C 엘이디칩 및 m+1행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼와 다른 웨이퍼의 엘이디칩이다.
- [0013] 본 발명의 일측면에 따른 마이크로 엘이디 모듈 제조방법은, A1 웨이퍼로부터 분할된 A1 엘이디칩들, A2 웨이퍼로부터 분할된 A2 엘이디칩들, A3 웨이퍼로부터 분할된 A3 엘이디칩들을 준비하는 A 준비 단계; B1 웨이퍼로부터 분할된 B1 엘이디칩들, B2 웨이퍼로부터 분할된 B2 엘이디칩들, B3 웨이퍼로부터 분할된 B3 엘이디칩들을 준비하는 B 준비 단계; C1 웨이퍼로부터 분할된 C1 엘이디칩들, C2 웨이퍼로부터 분할된 C2 엘이디칩들, C3 웨이퍼로부터 분할된 C3 엘이디칩들을 준비하는 C 준비 단계; 상기 A1 엘이디칩들, 상기 A2 엘이디칩들 및 상기 A3 엘이디칩들을 일방향으로 A1, A2 및 A3 엘이디칩의 순서가 되도록 A 테이프 상에 어레이하는 A 어레이 단계; 상기 B1 엘이디칩들, 상기 B2 엘이디칩들 및 상기 B3 엘이디칩들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 B 테이프 상에 어레이하는 B 어레이 단계; 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들을 일방향으로 C1, C2 및 C3 엘이디칩의 순서가 되도록 C 테이프 상에 어레이하는 C 어레이 단계; 및 상기 A 테이프, 상기 B 테이프 및 상기 C 테이프 상의 엘이디칩들을 기관 상에 어레이하여 상기 기관 상에 복수의 픽셀들을 형성하는 단계를 포함하며, 상기 복수의 픽셀들 각각은 A1, B1 및 C1 엘이디칩들, A2, B2 및 C2 엘이디칩들, 또는 A3, B3 및 C3 엘이디칩들을 포함한다.
- [0014] 일 실시예에 따라, 상기 A 어레이 단계는, 상기 A1, A2 및 A3 엘이디칩의 순서를 형성하기 위해, A1 엘이디칩들, A2 엘이디칩들 및 A3 엘이디칩들을 라인별로 배열한다.
- [0015] 일 실시예에 따라, 상기 B 어레이 단계는, 상기 B1, B2 및 B3 엘이디칩의 순서를 형성하기 위해, B1 엘이디칩들, B2 엘이디칩들 및 B3 엘이디칩들을 라인별로 배열한다.
- [0016] 일 실시예에 따라, 상기 C 어레이 단계는, 상기 C1, C2 및 C3 엘이디칩의 순서를 형성하기 위해, C1 엘이디칩들, C2 엘이디칩들 및 C3 엘이디칩들을 라인별로 배열한다.
- [0017] 일 실시예에 따라, 상기 기관 상에 복수의 픽셀들을 형성하는 단계는 상기 A 테이프 상의 엘이디칩들, 상기 B 테이프 상의 엘이디칩들 및 상기 C 테이프 상의 엘이디칩들을 다른 곳을 경유하지 않고 바로 상기 기관 상으로 옮기는 것을 포함한다.
- [0018] 일 실시예에 따라, 상기 A 테이프 상의 엘이디칩들, 상기 B 테이프 상의 엘이디칩들 및 상기 C 테이프 상의 엘이디칩들은 상기 A 테이프, 상기 B 테이프 및 상기 C 테이프 각각으로부터 픽 앤 플레이스(pick and place) 방법에 의해 상기 기관 상으로 옮겨진다.
- [0019] 일 실시예에 따라, 상기 기관 상에 복수의 픽셀들을 형성하는 단계는, 상기 A1, B1 및 C1 엘이디칩, 상기 A2, B2 및 C2 엘이디칩 및 상기 A3, B3 및 C3 엘이디칩을 포함하는 복수의 픽셀들을 D 테이프에 형성하도록, 상기 A

테이프, 상기 B 테이프 및 상기 C 테이프 상의 엘이디칩들을 상기 D 테이프 상에 통합적으로 어레이하는 통합 어레이 단계와, 상기 D 테이프 상의 엘이디칩들을 순서 변화 없이 상기 기판 상으로 옮기는 전사 단계를 포함한다.

- [0020] 일 실시예에 따라, 상기 D 테이프 상의 엘이디칩들은 픽셀(들) 대 픽셀(들)로 상기 기판으로 옮겨진다.
- [0021] 일 실시예에 따라, 상기 통합 어레이 단계는, 상기 A 테이프 상의 엘이디칩들을 A1, A2 및 A3 엘이디칩의 순서가 유지되도록 상기 D 테이프 상에 어레이하는 단계와, 상기 B 테이프 상의 엘이디칩들을 B1, B2 및 B3 엘이디칩의 순서가 유지하도록 상기 D 테이프 상에 어레이하는 단계와, 상기 C 테이프 상의 엘이디칩들을 C1, C2 및 C3 엘이디칩의 순서가 유지하도록 상기 D 테이프 상에 어레이하는 단계를 포함한다.
- [0022] 일 실시예에 따라, 상기 A1 엘이디칩들, 상기 A2 엘이디칩들, 상기 A3 엘이디칩들, 상기 B1 엘이디칩들, 상기 B2 엘이디칩들, 상기 B3 엘이디칩들, 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들 각각은 Aa, Ab, Ac, Ba, Bb, Bc, Ca, Cb, Cc 테이프 각각에 유지된다.
- [0023] 본 발명의 다른 측면에 따른 마이크로 엘이디 모듈 제조방법은 A1 웨이퍼로부터 분할된 A1 엘이디칩들, A2 웨이퍼로부터 분할된 A2 엘이디칩들, A3 웨이퍼로부터 분할된 A3 엘이디칩들을 준비하는 A 준비 단계; B1 웨이퍼로부터 분할된 B1 엘이디칩들, B2 웨이퍼로부터 분할된 B2 엘이디칩들, B3 웨이퍼로부터 분할된 B3 엘이디칩들을 준비하는 B 준비 단계; C1 웨이퍼로부터 분할된 C1 엘이디칩들, C2 웨이퍼로부터 분할된 C2 엘이디칩들, C3 웨이퍼로부터 분할된 C3 엘이디칩들을 준비하는 C 준비 단계; 상기 A1 엘이디칩들, 상기 A2 엘이디칩들 및 상기 A3 엘이디칩들을 일방향으로 A1, A2 및 A3 엘이디칩의 순서가 되도록 E 테이프 상에 어레이하는 a 어레이 단계; 상기 B1 엘이디칩들, 상기 B2 엘이디칩들 및 상기 B3 엘이디칩들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 E 테이프 상에 어레이하는 b 어레이 단계; 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 상기 E 테이프 상에 어레이하는 c 어레이 단계; 및 상기 E 테이프 상의 엘이디칩들을 상기 E 테이프 상의 순서 그대로 기판 상에 어레이하는 단계를 포함하며, 상기 a 어레이 단계, 상기 b 어레이 단계 및 상기 c 어레이 단계에 의해 상기 E 테이프에는 복수의 픽셀들이 형성되고, 상기 복수의 픽셀들 각각 A1, B1 및 C1 엘이디칩들, A2, B2 및 C2 엘이디칩들, 또는 A3, B3 및 C3 엘이디칩들을 포함한다.
- [0024] 일 실시예에 따라, 상기 a 어레이 단계는 A1, A2 및 A3 엘이디칩의 순서가 되도록 A1 엘이디칩들, A2 엘이디칩들 및 A3 엘이디칩들을 상기 E 테이프 상에 어레이하고, 상기 b 어레이 단계는 일방향으로 상기 A1 엘이디칩과 인접한 B1 엘이디칩, 일방향으로 상기 A2 엘이디칩과 인접한 B2 엘이디칩 및 상기 A3 엘이디칩과 인접한 B3 엘이디칩의 순서가 되도록 상기 B1 엘이디칩들, 상기 B2 엘이디칩들 및 상기 B3 엘이디칩들을 상기 E 테이프 상에 어레이하고, 상기 c 어레이 단계는 일방향으로 상기 B1 엘이디칩과 인접한 C1 엘이디칩, 일방향으로 상기 B2 엘이디칩과 인접한 C2 엘이디칩 및 상기 B3 엘이디칩과 인접한 C3 엘이디칩의 순서가 되도록 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들을 상기 E 테이프 상에 어레이하는 것을 포함한다.
- [0025] 일 실시예에 따라, 상기 A1 엘이디칩들, 상기 A2 엘이디칩들, 상기 A3 엘이디칩들, 상기 B1 엘이디칩들, 상기 B2 엘이디칩들, 상기 B3 엘이디칩들, 상기 C1 엘이디칩들, 상기 C2 엘이디칩들 및 상기 C3 엘이디칩들 각각은 Aa, Ab, Ac, Ba, Bb, Bc, Ca, Cb, Cc 테이프 각각에 유지된다.

발명의 효과

- [0026] 본 발명에 따르면, 같은 웨이퍼로부터 유래된 마이크로 엘이디칩들이 기판 상에 모여 있지 않고 분산되어 있도록 구성되어 디스플레이 컬러 균일도가 향상되고 무라(mura) 현상을 최소화할 수 있는 마이크로 엘이디 디스플레이 모듈이 구현된다.

도면의 간단한 설명

- [0027] 도 1은 종래기술을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 마이크로 엘이디 모듈을 설명하기 위한 도면이다.
- 도 3 내지 도 6은 본 발명의 일 실시예에 따른 마이크로 엘이디 모듈 제조방법을 설명하기 위한 도면이다.
- 도 7은 본 발명의 다른 실시예에 따른 마이크로 엘이디 모듈 제조방법을 설명하기 위한 도면이다.
- 도 8 및 도 9는 본 발명의 또 다른 실시예에 따른 마이크로 엘이디 모듈 제조방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0029] 도 2 본 발명의 일 실시예에 따른 엘이디 디스플레이 모듈을 설명하기 위한 도면이다.
- [0030] 도 2를 참조하면, 본 발명의 일 실시예에 따른 엘이디 디스플레이 모듈은 기판(100)과 상기 기판(100) 상에 배열된 복수개의 픽셀(200)들을 포함한다. 상기 복수개의 픽셀(200)들은 복수개의 행(rows)과 복수개의 열(columns)을 포함하는 행렬 배열로 상기 기판(100) 상에 배열된다. 상기 기판(100)은 PCB(Printed Circuit Board) 또는 TFT(Thin Film Transistor) 기판일 수 있다. 상기 픽셀(200)은 발광 파장 범위가 다른 A 엘이디칩(A), B 엘이디칩(B) 및 C 엘이디칩(C)을 포함한다. A 엘이디칩(A), B 엘이디칩(B) 및 C 엘이디칩(C)은 서로 다른 피크 파장의 광을 발하는 엘이디칩들이다. 본 명세서에서, A 엘이디칩, B 엘이디칩, C 엘이디칩의 A, B, C는 각각 컬러를 대표한다. 설명의 편의를 위해, A는 적색을 대표하고, B는 녹색을 대표하고, C는 청색을 대표하는 것으로 정의하여 설명이 이루어진다. 또한, 상기 A 엘이디칩, 상기 B 엘이디칩 및 상기 C 엘이디칩 각각은 상면의 적어도 한 변의 길이가 500 μ m 미만인 마이크로 엘이디칩이 이용된다. 본 실시예에서는, 100 μ m \times 300 μ m 크기의 마이크로 엘이디 칩이 이용된다.
- [0031] 상기 기판(100) 상에 어레이된 A 엘이디칩(A)들은 A1 웨이퍼로부터 유래된 A1 엘이디칩(A1), A2 웨이퍼로부터 유래된 A2 엘이디칩(A2), A3 웨이퍼로부터 유래된 A3 엘이디칩(A3)으로 구분된다. 또한, 상기 기판(100) 상에 어레이된 B 엘이디칩(B)들은 B1 웨이퍼로부터 유래된 B1 엘이디칩(B1), B2 웨이퍼로부터 유래된 B2 엘이디칩(B2), B3 웨이퍼로부터 유래된 B3 엘이디칩(B3)으로 구분된다. 또한, 상기 기판(100) 상에 어레이된 C 엘이디칩(C)들은 C1 웨이퍼로부터 유래된 C1 엘이디칩(C1), C2 웨이퍼로부터 유래된 C2 엘이디칩(C2), C3 웨이퍼로부터 유래된 C3 엘이디칩(C3)으로 구분된다. 엘이디칩이 어느 웨이퍼로부터 유래된 것인지는 엘이디칩 내 각 층의 성분비, 조성비 및 불순물비를 확인함으로써 쉽게 판단할 수 있다. 그리고, 동일 웨이퍼로부터 유래된 엘이디칩들은 동일 또는 매우 유사한 광 특성을 갖는다.
- [0032] 동일 웨이퍼로부터 유래된 엘이디칩들이 영역적으로 모여 있는 경우, 그로 인해, 하나의 웨이퍼로부터 유래된 엘이디칩들이 모여 있는 영역과 그와 다른 웨이퍼로부터 유래된 엘이디칩이 모여 있는 영역이 경계를 이루고 있는 경우, 이 두 영역 사이에는 광 특성에 있어서 심한 편차가 발생한다. 따라서, 동일 웨이퍼로부터 유래된 엘이디칩들이 모여 있지 않고 기판 상의 전 영역에 걸쳐 골고루 섞여 있는 것이 광 특성 변차를 줄이는데 좋다.
- [0033] 이를 위해, 본 실시예에 따른 엘이디 디스플레이 모듈은 기본적으로 다음의 (1), (2) 및 (3)과 같은 규칙으로 엘이디칩들이 배열된다.
- [0034] (1) m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼로부터 유래된 A1 엘이디칩(A1)이고, m행 n+1열 픽셀의 A 엘이디칩 및 m행 n-1열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼로부터 유래된다.
- [0035] (2) m행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼로부터 유래된 B1 엘이디칩(B1), m행 n+1열 픽셀의 B 엘이디칩 및 m행 n-1열 픽셀의 B 엘이디칩은 B1 웨이퍼와 다른 웨이퍼로부터 유래된다.
- [0036] (3) m행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼로부터 유래된 C1 엘이디칩이고, m행 n+1열 픽셀의 B 엘이디칩 및 m행 n-1열 픽셀의 C 엘이디칩은 C1 웨이퍼와 다른 웨이퍼로부터 유래된다.
- [0037] 보다 구체적으로, 복수개의 행들과 복수개의 열들로 기판 상에 어레이된 픽셀들 중 m행 n열의 픽셀은 A1 웨이퍼로부터 유래된 A1 엘이디칩(A1)과, B1 웨이퍼로부터 유래된 B1 엘이디칩(B1)과, C1 웨이퍼로부터 유래된 C1 엘이디칩(C1)으로 구성되고, m행 n+1열 픽셀은 A2 웨이퍼로부터 유래된 A2 엘이디칩(A2)과, B2 웨이퍼로부터 유래된 B2 엘이디칩(B2)과, C2 웨이퍼로부터 유래된 C2 엘이디칩(C2)으로 구성되며, m행 n-1열 픽셀은 A3 웨이퍼로부터 유래된 A3 엘이디칩(A3)과, B3 웨이퍼로부터 유래된 B3 엘이디칩(B3)과, C3 웨이퍼로부터 유래된 C3 엘이디칩(C3)으로 구성된다.
- [0038] 또한, 이웃하는 열과 열 사이에서 동일 웨이퍼로부터 유래된 엘이디칩들이 모여 있지 않아야 함은 물론이고, 이웃하는 행과 행 사이에서도 동일 웨이퍼로부터 유래된 엘이디칩들이 모여 있지 않는 것이 바람직하다. 이를 위해, m행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼로부터 유래된 A1 엘이디칩(A1)이고, m+1행 n열 픽셀의 A 엘이디칩 및 m-1행 n열 픽셀의 A 엘이디칩은 A1 웨이퍼와 다른 웨이퍼로부터 유래된 것이다. 그리고 m행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼로부터 유래된 B1 엘이디칩(B1)이고, m-1행 n열 픽셀의 B 엘이디칩 및 m+1행 n열 픽셀의 B 엘이디칩은 B1 웨이퍼와 다른 웨이퍼로부터 유래된 것이다. 또한, m행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼로부터 유래된 C1 엘이디칩(C1)이고, m+1행 n열 픽셀의 C 엘이디칩 및 m-1행 n열 픽셀의 C 엘이디칩은 C1 웨이퍼와

다른 웨이퍼로부터 유래된 것이다.

- [0039] 여기에서, A1 엘이디칩, A2 엘이디칩 및 A3 엘이디칩은 하나의 빈(bin)에 포함되지만 유래 웨이퍼가 다름으로 인하여 광 특성 분포가 약간씩 다른 A 엘이디칩들이다. 마찬가지로, B1 엘이디칩, B2 엘이디칩 및 B3 엘이디칩은 하나의 빈(bin)에 포함되지만 유래 웨이퍼가 다름으로 인하여 광 특성 분포가 약간씩 다른 B 엘이디칩들이다. 마찬가지로, C1 엘이디칩, C2 엘이디칩 및 C3 엘이디칩은 하나의 빈(bin)에 포함되지만 유래 웨이퍼가 다름으로 인하여 광 특성 분포가 약간씩 다른 C 엘이디칩들이다.
- [0040] 3개의 웨이퍼로부터 유래된 엘이디칩들을 이용하는 경우로 한정하여 설명되었지만, 4개 이상의 웨이퍼로부터 유래된 엘이디칩들을 이용할 수 있다.
- [0041] 이하에서는 본 발명의 일 실시예에 따른 엘이디 디스플레이 모듈 제조방법을 설명한다.
- [0042] 도 3은 A 준비 단계 및 A 어레이 단계를 보여주고, 도 4는 B 준비 단계 및 B 어레이 단계를 보여주고, 도 5는 C 준비 단계 및 C 어레이 단계를 보여준다.
- [0043] 먼저 도 3을 참조하면, A 준비 단계는 A1 웨이퍼로부터 분할된 A1 엘이디칩(A1)들, A2 웨이퍼로부터 분할된 A2 엘이디칩(A2)들, A3 웨이퍼로부터 분할된 A3 엘이디칩(A3)들을 준비하는 것을 포함한다. Aa 테이프(41) 상에 부착된 A1 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Aa 테이프(41) 상에 A1 웨이퍼 형태를 그대로 유지하고 있는 복수의 A1 엘이디칩(A1)들을 준비한다. 또한, Ab 테이프(42) 상에 부착된 A2 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Ab 테이프(42) 상에 A2 웨이퍼 형태를 그대로 유지하고 있는 복수의 A2 엘이디칩(A2) 들을 준비한다. 또한 Ac 테이프(43) 상에 부착된 A3 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Ac 테이프(43) 상에 A3 웨이퍼 형태를 그대로 유지하고 있는 복수의 A3 엘이디칩(A3)들을 준비한다.
- [0044] 또한, A 어레이 단계는 상기 A1 엘이디칩들, 상기 A2 엘이디칩들 및 상기 A3 엘이디칩들을 일방향(도 3의 J방향)으로 A1, A2 및 A3 엘이디칩의 순서가 되도록 A 테이프 상에 어레이하는 것을 포함한다. 상기 A 어레이 단계는, 상기 A1, A2 및 A3 엘이디칩의 순서를 형성하기 위해, A1 엘이디칩(A1)들, A2 엘이디칩(A2)들 및 A3 엘이디칩(A3)들을 라인별로 배열하는 것을 포함한다. 즉, A 테이프(40) 상의 제1 라인에 A1 엘이디칩(A1)들을 어레이하고, 줄 바꾸어 A 테이프(40) 상의 제2 라인에 A2 엘이디칩(A2)들을 어레이하고, 줄바꾸어 A 테이프(40) 상의 제3 라인에 A3 엘이디칩(A3)들을 어레이한다. 이러한 어레이를 반복하면, 상기 라인들과 직교하는 방향, 즉, J 방향으로, A1, A2, A3, A1, A2, A3, ...의 순서가 만들어진다.
- [0045] 다음 도 4를 참조하면, B 준비 단계는 B1 웨이퍼로부터 분할된 B1 엘이디칩(B1)들, B2 웨이퍼로부터 분할된 B2 엘이디칩(B2)들, B3 웨이퍼로부터 분할된 B3 엘이디칩(B3)들을 준비하는 것을 포함한다. Ba 테이프(51) 상에 부착된 B1 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Ba 테이프(51) 상에 B1 웨이퍼 형태를 그대로 유지하고 있는 복수의 B1 엘이디칩(B1)들을 준비한다. 또한, Bb 테이프(52) 상에 부착된 B2 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Bb 테이프(52) 상에 B2 웨이퍼 형태를 그대로 유지하고 있는 복수의 B2 엘이디칩(B2)들을 준비한다. 또한 Bc 테이프(53) 상에 부착된 B3 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Bc 테이프(53) 상에 B3 웨이퍼 형태를 그대로 유지하고 있는 복수의 B3 엘이디칩(B)들을 준비한다.
- [0046] 또한, B 어레이 단계는 상기 B1 엘이디칩(B1)들, 상기 B2 엘이디칩(B2)들 및 상기 B3 엘이디칩(B3)들을 일방향(도 4의 K방향)으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 B 테이프(50) 상에 어레이하는 것을 포함한다. 상기 B 어레이 단계는, 상기 B1, B2 및 B3 엘이디칩의 순서를 형성하기 위해, B1 엘이디칩(B1)들, B2 엘이디칩(B2)들 및 B3 엘이디칩(B3)들을 라인별로 배열하는 것을 포함한다. 즉, B 테이프(50)상의 제1 라인에 B1 엘이디칩(B1)들을 어레이하고, 줄 바꾸어 B 테이프(50) 상의 제2 라인에 B2 엘이디칩(B2)들을 어레이하고, 줄바꾸어 B 테이프(50) 상의 제3 라인에 B3 엘이디칩(B3)들을 어레이한다. 이러한 어레이를 반복하면, 상기 라인들과 직교하는 K 방향으로, B1, B2, B3, B1, B2, B3, ...의 순서가 만들어진다.
- [0047] 다음 도 5를 참조하면, C 준비 단계는 C1 웨이퍼로부터 분할된 C1 엘이디칩(C1)들, C2 웨이퍼로부터 분할된 C2 엘이디칩(C2)들, C3 웨이퍼로부터 분할된 C3 엘이디칩(C3)들을 준비하는 것을 포함한다. Ca 테이프(61) 상에 부착된 C1 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Ca 테이프(61) 상에 C1 웨이퍼 형태를 그대로 유지하고 있는 복수의 C1 엘이디칩(C1)들을 준비한다. 또한, Cb 테이프(62) 상에 부착된 C2 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Cb 테이프(62) 상에 C2 웨이퍼 형태를 그대로 유지하고 있는 복수의 C2 엘이디칩(C2)들을 준비한다. 또한 Cc 테이프(63) 상에 부착된 C3 웨이퍼를 예컨대 쏘잉 방식으로 분할하여 Cc 테이프(63) 상에 C3 웨이퍼 형태를 그대로 유지하고 있는 복수의 C3 엘이디칩(C3)들을 준비한다.
- [0048] 또한, C 어레이 단계는 상기 C1 엘이디칩(C1)들, 상기 C2 엘이디칩(C2)들 및 상기 C3 엘이디칩(C3)들을 일방향

(도 5의 L 방향)으로 C1, C2 및 C3 엘이디칩의 순서가 되도록 C 테이프(60) 상에 어레이하는 것을 포함한다. 상기 C 어레이 단계는, 상기 C1, C2 및 C3 엘이디칩의 순서를 형성하기 위해, C1 엘이디칩(C1)들, C2 엘이디칩(C2)들 및 C3 엘이디칩(C3)들을 라인별로 배열하는 것을 포함한다. 즉, C 테이프(60) 상의 제1 라인에 C1 엘이디칩(C1)들을 어레이하고, 줄 바꾸어 C 테이프(60) 상의 제2 라인에 C2 엘이디칩(C2)들을 어레이하고, 줄바꾸어 C 테이프(60) 상의 제3 라인에 C3 엘이디칩(C3)들을 어레이한다. 이러한 어레이를 반복하면, 상기 라인들과 직교하는 방향으로, C1, C2, C3, C1, C2, C3,...의 순서가 만들어진다.

[0049] 다음 도 6을 참조하면, 상기 A 테이프(40), 상기 B 테이프(50) 및 상기 C 테이프(60) 상의 엘이디칩들(A1, A2, A3, B1, B2, B3, C1, C2, C3)이 예컨대 PCB 또는 TFT 기판과 같은 기판(100) 상에 어레이되고, 이에 따라, 상기 기판 상에는 복수의 픽셀(200)들이 행렬 배열로 형성된다. 그리고, 상기 복수의 픽셀들 각각은 A1, B1 및 C1 엘이디칩들(A1, B1 및 C1), A2, B2 및 C2 엘이디칩들(A2, B2 및 C2), 또는 A3, B3 및 C3 엘이디칩들(A3, B3 및 C3)을 포함한다.

[0050] 본 실시예에 있어서는, 상기 A 테이프(40) 상의 엘이디칩들(A1, A2, A3), 상기 B 테이프(50) 상의 엘이디칩들(B1, B2, B3) 및 상기 C 테이프(60) 상의 엘이디칩들(C1, C2, C3)을 다른 곳을 경유하지 않고 바로 상기 기판(100) 상으로 옮긴다. 그리고, 상기 A 테이프(40) 상의 엘이디칩(A1, A2, A3)들, 상기 B 테이프(50) 상의 엘이디칩들(B1, B2, B3) 및 상기 C 테이프(60) 상의 엘이디칩들(C1, C2, C3)은 상기 A 테이프(40), 상기 B 테이프(50) 및 상기 C 테이프(60) 각각으로부터 픽 앤 플레이스(pick and place) 방법에 의해 상기 기판(100) 상으로 하나씩 옮겨질 수 있다. 먼저, 상기 A 테이프(40) 상의 엘이디칩들이 A1, A2 및 A3 엘이디칩의 순서가 유지되도록 J' 방향으로 상기 기판(100) 상에 어레이되고, 다음, 상기 B 테이프(50) 상의 엘이디칩(B1, B2, B3)들이 B1, B2 및 B3 엘이디칩의 순서가 유지되도록 K' 방향으로 상기 기판(100) 상에 어레이되고, 다음, 상기 C 테이프(60) 상의 엘이디칩(C1, C2, C3)들이 C1, C2 및 C3 엘이디칩의 순서가 유지되도록 L' 방향으로 상기 기판(100) 상에 어레이된다.

[0051] A 테이프(40) 상의 A1, A2 및 A3 엘이디칩의 순서 방향 J은 A 테이프(40) 상의 엘이디칩(A1, A2, A3)들이 기판(100) 상에 본딩되는 방향 J'과 같고, B 테이프(50) 상의 B1, B2 및 B3 엘이디칩의 순서 방향은 B 테이프(50) 상의 엘이디칩들(B1, B2, B3)이 기판(100) 상에 본딩되는 방향 K'과 같고, C 테이프(60) 상의 C1, C2 및 C3 엘이디칩의 순서 방향은 C 테이프(60) 상의 엘이디칩들(C1, C2, C3)이 기판(100) 상에 본딩되는 방향 L'과 같다.

[0052] 도 7은 본 발명의 다른 실시예에 따른 엘이디 디스플레이 모듈 제조방법을 설명하기 위한 도면이다.

[0053] 본 실시예에 따른 엘이디 디스플레이 모듈 제조방법은, 앞선 실시예와 같거나 유사한 방식으로 수행되는 A 준비 단계, B 준비 단계, C 준비 단계, A 어레이 단계, B 어레이 단계, C 어레이 단계를 포함한다.

[0054] 앞선 실시예의 방법이 A 테이프 상의 엘이디칩들, B 테이프 상의 엘이디칩들 및 C 테이프 상의 엘이디칩들을 다른 곳을 경유하지 않고 바로 기판 상에 어레이 및 본딩하지만, 본 실시예에 따른 방법은, 상기 A1, B1 및 C1 엘이디칩(A1, A2, A3), 상기 A2, B2 및 C2 엘이디칩(A2, B2, C2) 및 상기 A3, B3 및 C3 엘이디칩(A3, B3, C3)을 포함하는 복수의 픽셀들을 D 테이프(90)에 형성하도록, 상기 A 테이프(40) 상의 A1, A2, A3 엘이디칩들(A1, A2, A3)과 상기 B 테이프(50) 상의 B1, B2, B3 엘이디칩들(B1, B2, B3), C 테이프(60) 상의 C1, C2, C3 엘이디칩들(C1, C2, C3)을 상기 D 테이프(90) 상에 통합적으로 어레이하는 통합 어레이 단계와, 상기 D 테이프(90) 상의 엘이디칩(A1, B1, C1, A2, B2, C2, A3, B3, C3)들을 순서 변화 없이 상기 기판(100) 상으로 옮기는 전사 단계를 포함한다. 통합 어레이 단계는 앞선 실시예에서 A 테이프(40), B 테이프(50) 및 C 테이프(60) 상의 엘이디칩들을 기판 상에 옮기는 방식을 채용하여 A 테이프, B 테이프 및 C 테이프 상의 엘이디칩들을 기판 대신 D 테이프(90) 상에 옮길 수 있다.

[0055] 도 8 및 도 9은 본 발명의 또 다른 실시예에 따른 엘이디 디스플레이 모듈 제조방법을 설명하기 위한 도면이다.

[0056] 도 8 및 도 9를 참조하면, 본 실시예에 따른 엘이디 디스플레이 모듈 제조방법은, A1 웨이퍼로부터 분할된 A1 엘이디칩(A1)들, A2 웨이퍼로부터 분할된 A2 엘이디칩(A2)들, A3 웨이퍼로부터 분할된 A3 엘이디칩(A3)들을 준비하는 A 준비 단계와, B1 웨이퍼로부터 분할된 B1 엘이디칩(B1)들, B2 웨이퍼로부터 분할된 B2 엘이디칩(B2)들, B3 웨이퍼로부터 분할된 B3 엘이디칩(B3)들을 준비하는 B 준비 단계와, C1 웨이퍼로부터 분할된 C1 엘이디칩(C1)들, C2 웨이퍼로부터 분할된 C2 엘이디칩(C2)들, C3 웨이퍼로부터 분할된 C3 엘이디칩(C3)들을 준비하는 C 준비 단계를 포함한다. A 준비 단계, B 준비 단계 및 C 준비 단계는 앞선 실시예들과 같다.

[0057] 앞선 실시예에서는, A 테이프에 A1, A2, A3 엘이디칩의 순서로 어레이하는 것과, B 테이프에 B1, B2, B3 엘이디칩의 순서로 어레이하는 것과, C 테이프에 C1, C2, C3 엘이디칩의 순서로 어레이하는 것을 포함하지만, 본 실시

예에 따른 방법은 상기 A1 엘이디칩(A1)들, 상기 A2 엘이디칩(A2)들 및 상기 A3 엘이디칩(A3)들을 일방향으로 A1, A2 및 A3 엘이디칩의 순서가 되도록 E 테이프(70) 상에 어레이하는 a 어레이 단계와, 상기 B1 엘이디칩(B1)들, 상기 B2 엘이디칩(B2)들 및 상기 B3 엘이디칩(B3)들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 E 테이프(70) 상에 어레이하는 b 어레이 단계와, 상기 C1 엘이디칩(C1)들, 상기 C2 엘이디칩(C2)들 및 상기 C3 엘이디칩(C3)들을 일방향으로 B1, B2 및 B3 엘이디칩의 순서가 되도록 E 테이프(70) 상에 어레이하는 c 어레이 단계를 포함한다. 어레이 방식은 모든 엘이디칩들을 E 테이프 상에 어레이하는 것을 제외하면 앞선 실시예의 방식을 거의 그대로 따를 수 있다.

[0058] 또한, 본 실시예에 따른 방법은 상기 E 테이프(70) 상의 엘이디칩들(A1, A2, A3, B1, B2, B3, C1, C2, C3)을 상기 E 테이프(70) 상의 순서 그대로 기판(100) 상에 어레이하는 단계를 포함한다. 상기 a 어레이 단계, 상기 b 어레이 단계 및 상기 c 어레이 단계에 의해 상기 E 테이프(70)에는 복수의 픽셀들이 형성되고, 상기 복수의 픽셀들 각각 A1, B1 및 C1 엘이디칩들(A1, B1, C1), A2, B2 및 C2 엘이디칩들(A2, B2, C2), 또는 A3, B3 및 C3 엘이디칩들(A3, B3, C3)을 포함한다. 상기 a 어레이 단계는 A1, A2 및 A3 엘이디칩의 순서가 되도록 A1 엘이디칩(A1)들, A2 엘이디칩(A2)들 및 A3 엘이디칩(A3)들을 상기 E 테이프(70) 상에 어레이하고, 상기 b 어레이 단계는 일방향으로 상기 A1 엘이디칩과 인접한 B1 엘이디칩(B1), 일방향으로 상기 A2 엘이디칩과 인접한 B2 엘이디칩(B2) 및 상기 A3 엘이디칩과 인접한 B3 엘이디칩(B3)의 순서가 되도록 상기 B1 엘이디칩(B1)들, 상기 B2 엘이디칩(B2)들 및 상기 B3 엘이디칩(B3)들을 상기 E 테이프(70) 상에 어레이하고, 상기 c 어레이 단계는 일방향으로 상기 B1 엘이디칩과 인접한 C1 엘이디칩(C1), 일방향으로 상기 B2 엘이디칩과 인접한 C2 엘이디칩(C2) 및 상기 B3 엘이디칩과 인접한 C3 엘이디칩(C3)의 순서가 되도록 상기 C1 엘이디칩(C1)들, 상기 C2 엘이디칩(C2)들 및 상기 C3 엘이디칩(C3)들을 상기 E 테이프(70) 상에 어레이한다.

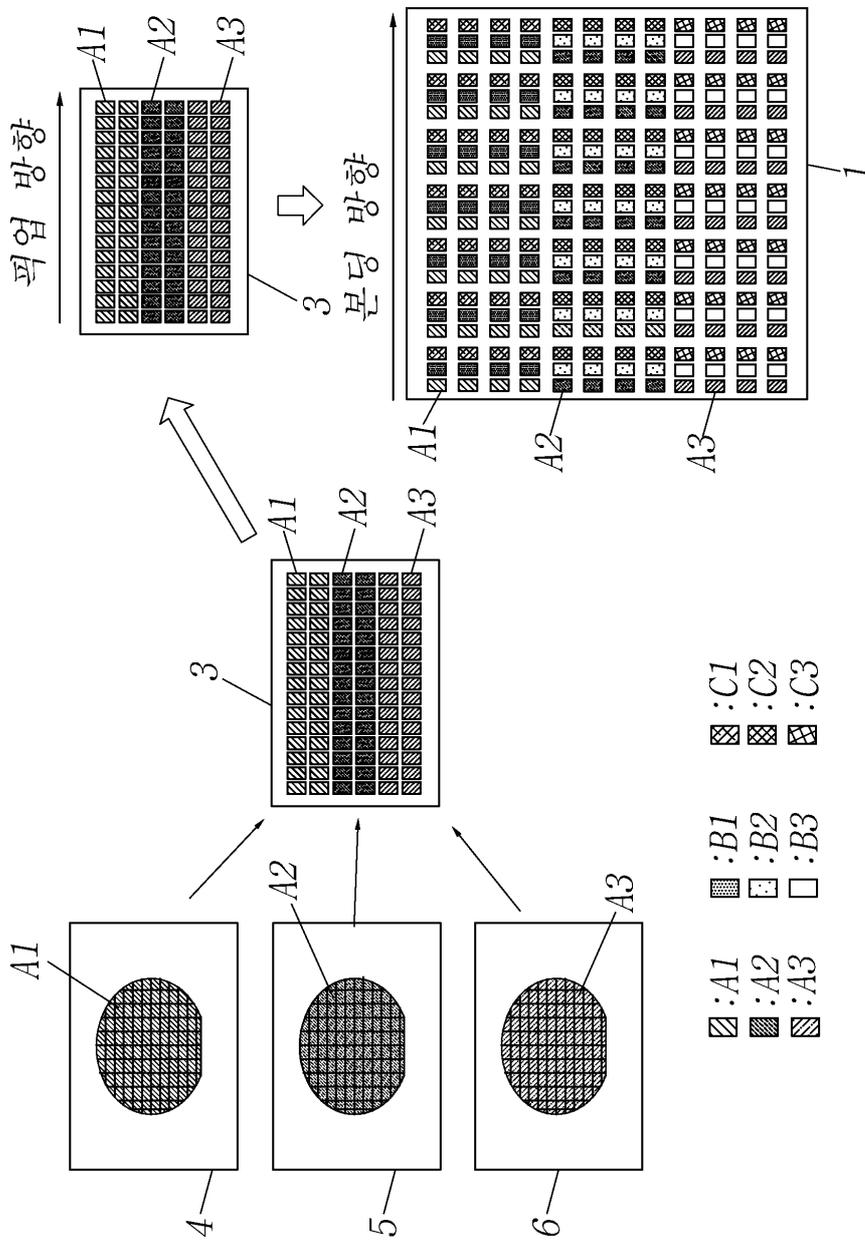
부호의 설명

[0059] 100: 기판 200: 픽셀

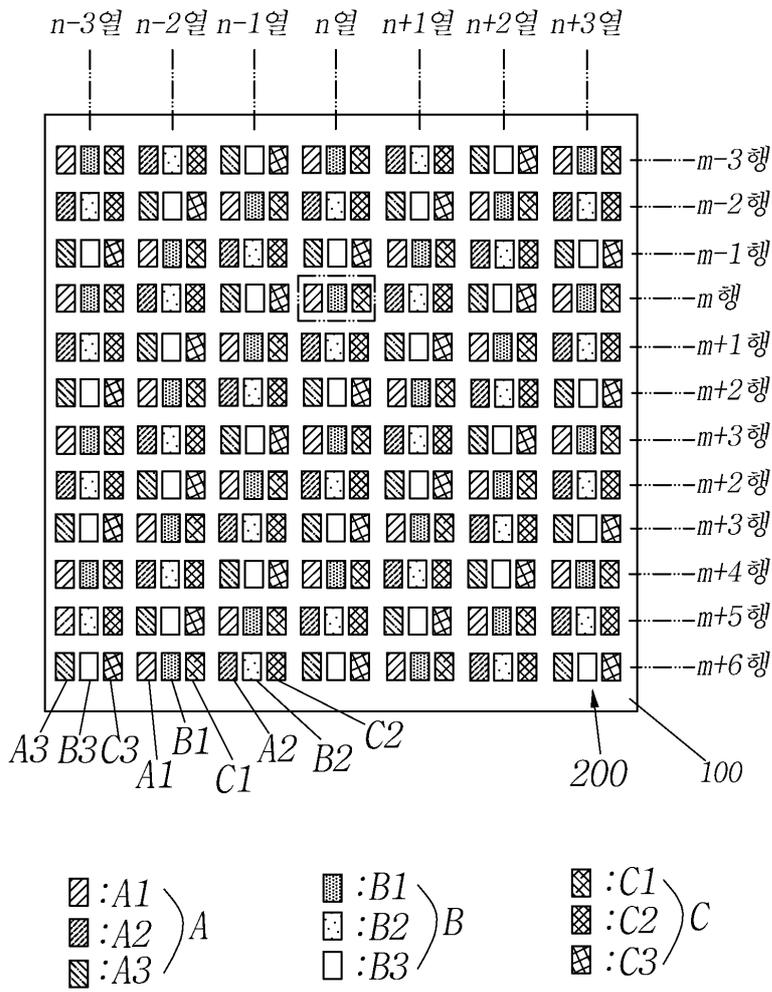
A1, A2, A3, B1, B2, B3, C1, C2, C3: 엘이디칩

도면

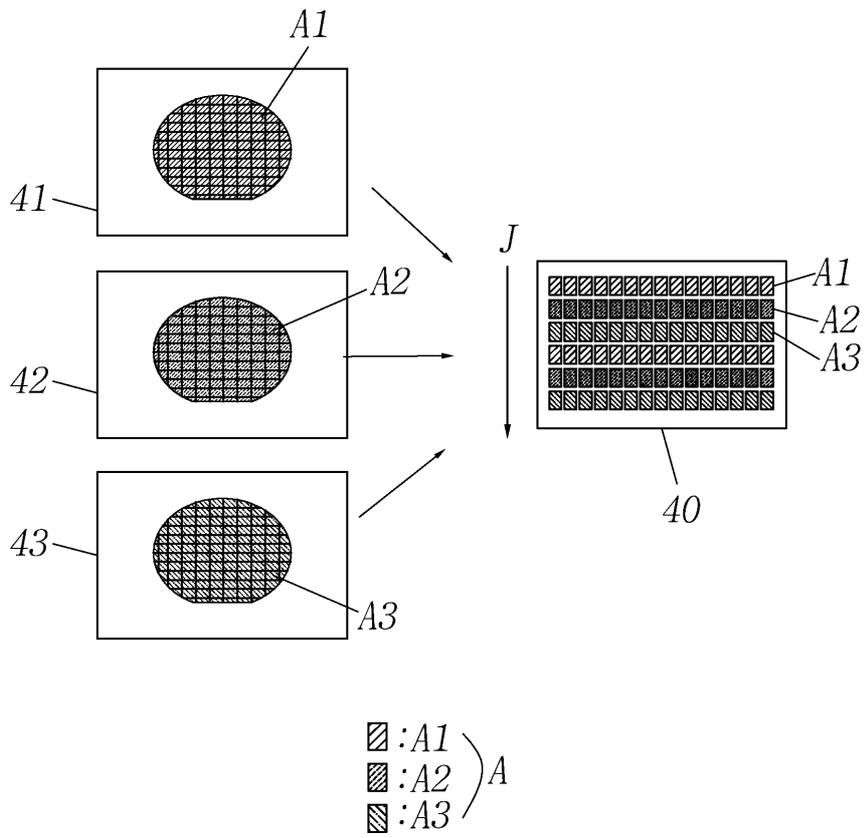
도면1



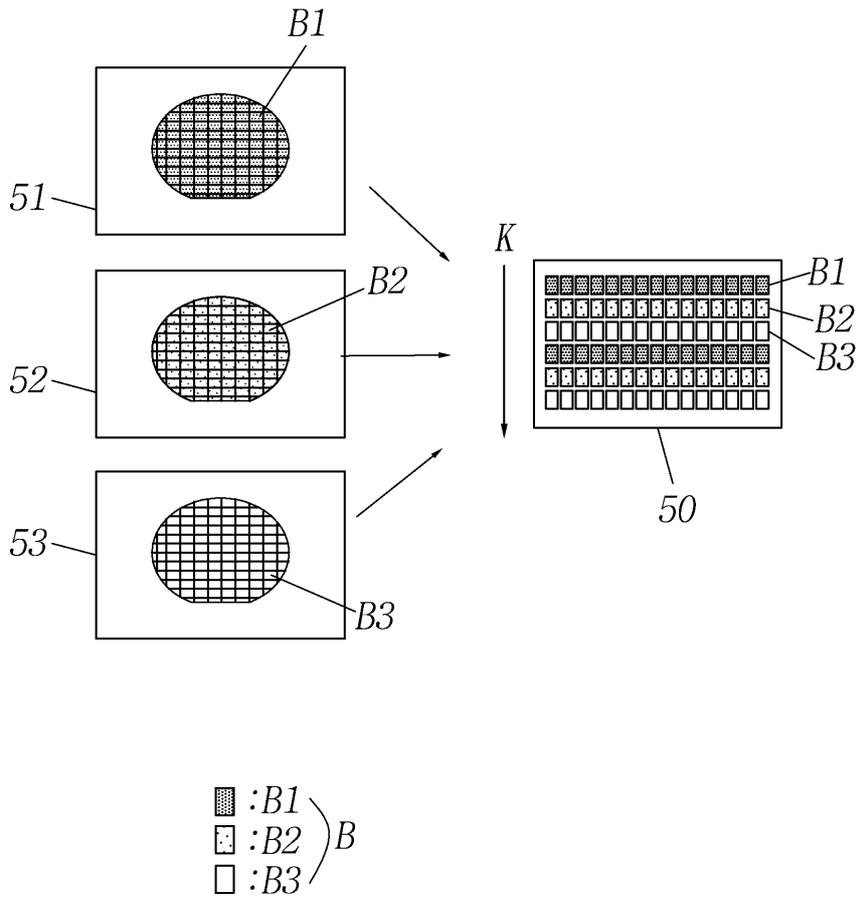
도면2



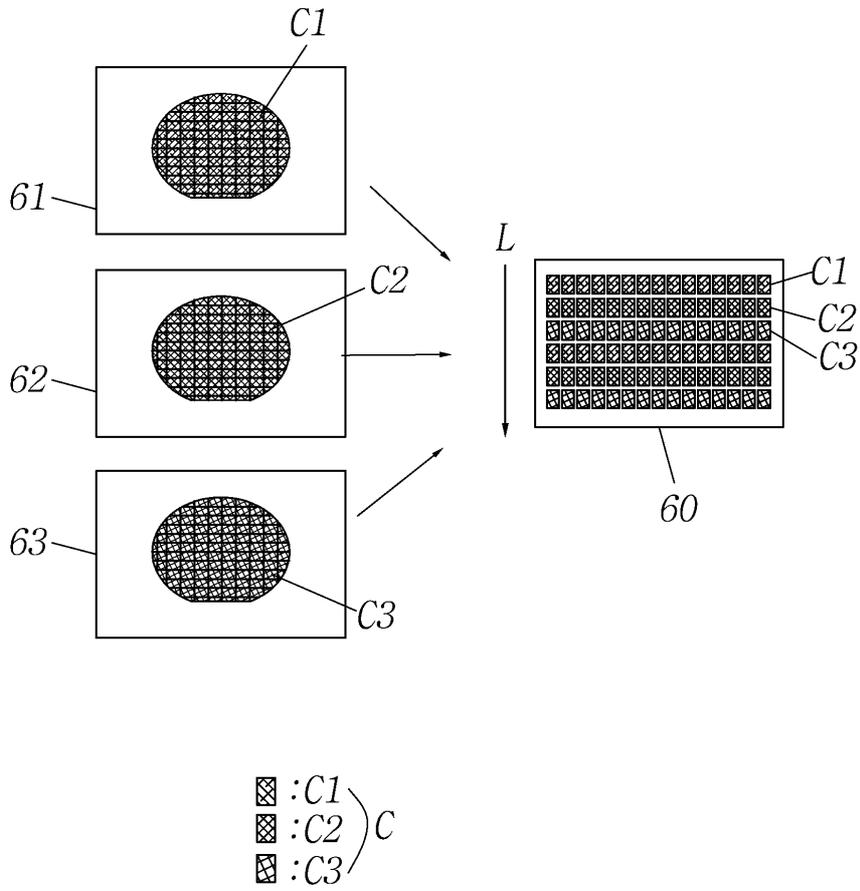
도면3



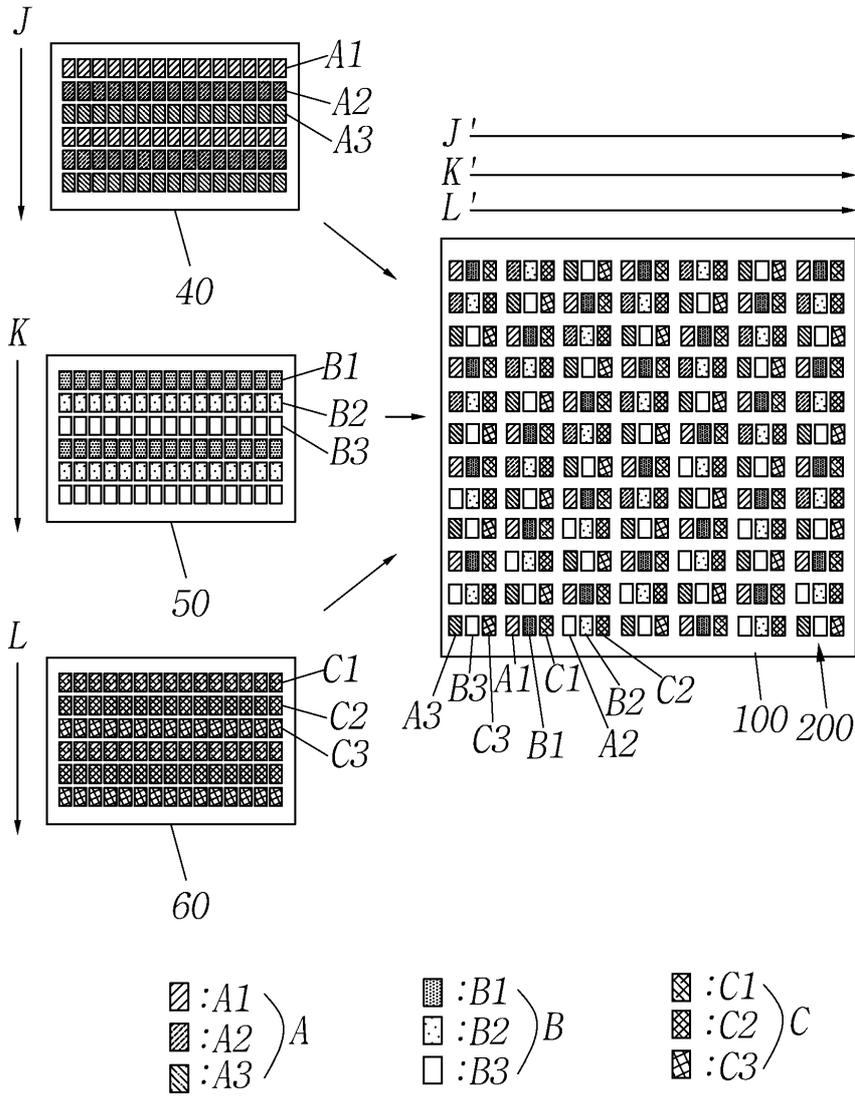
도면4



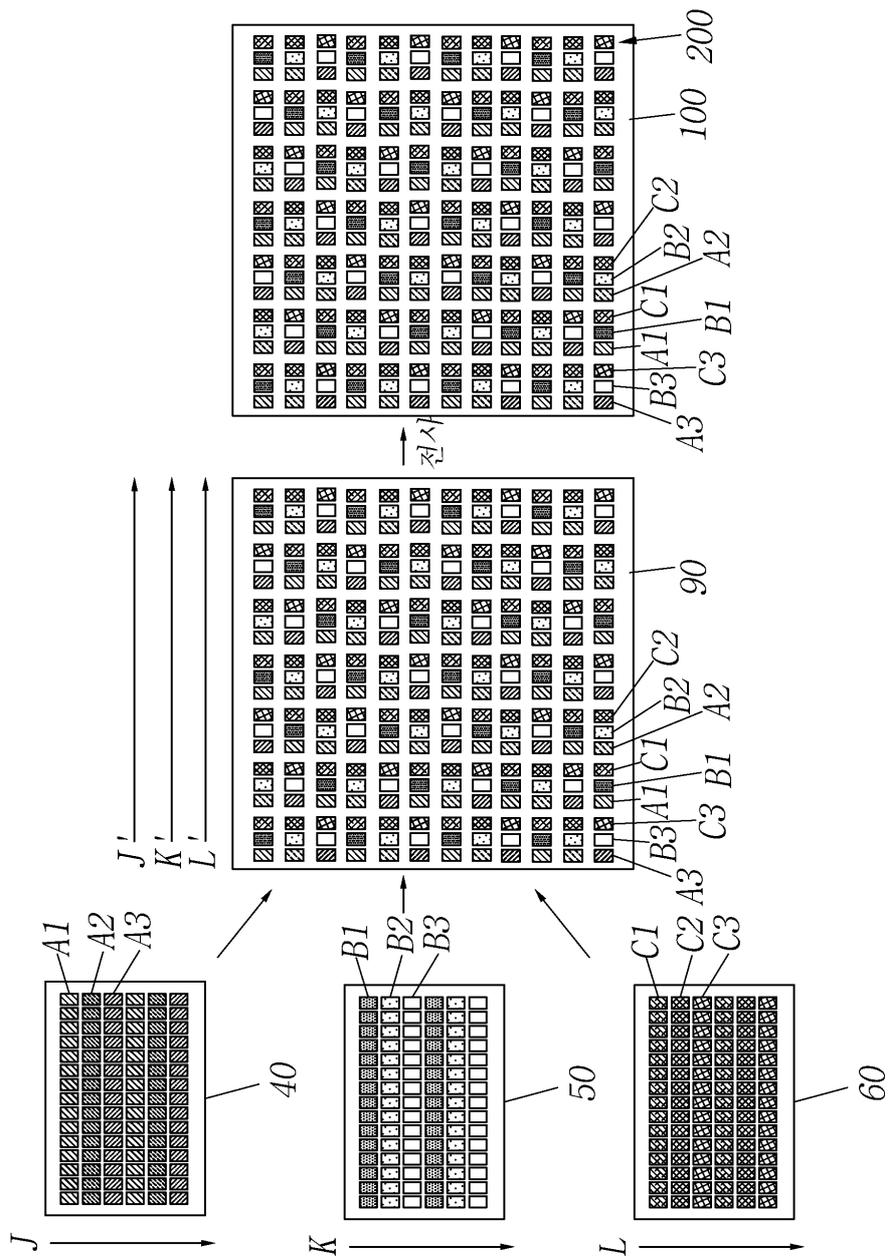
도면5



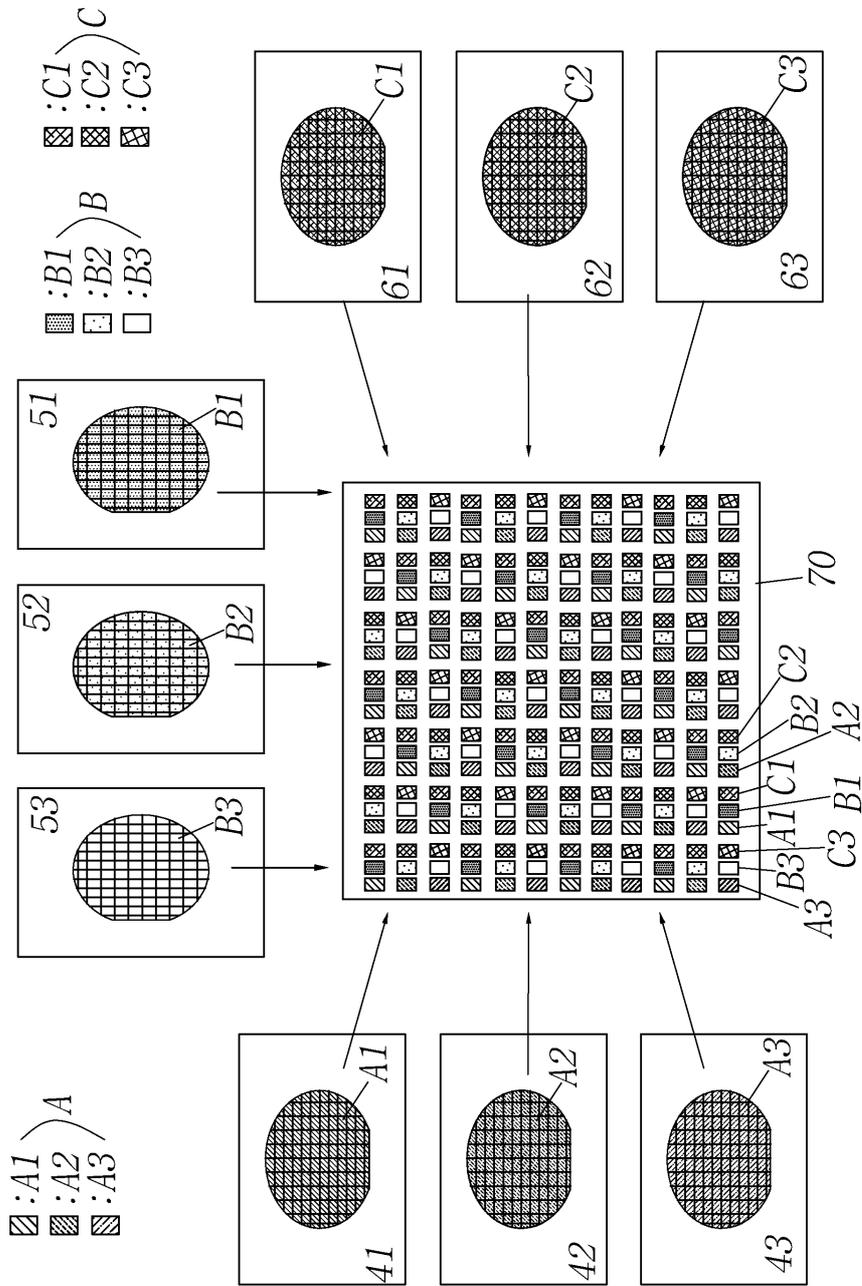
도면6



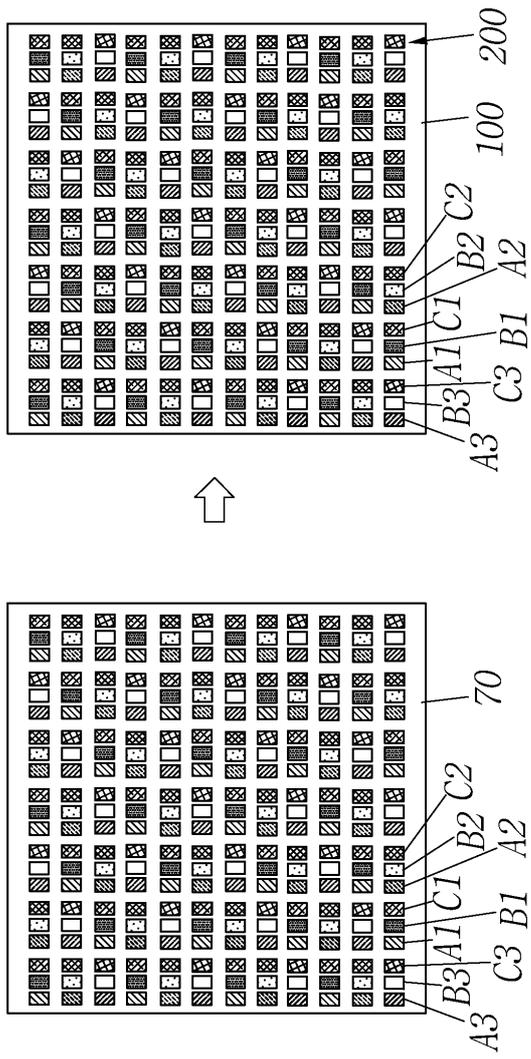
도면7



도면8



도면9



专利名称(译)	Micro LED显示模块及其制造方法		
公开(公告)号	KR1020200086063A	公开(公告)日	2020-07-16
申请号	KR1020190002217	申请日	2019-01-08
申请(专利权)人(译)	流明公司		
[标]发明人	서주옥		
发明人	서주옥		
IPC分类号	H01L25/075		
CPC分类号	H01L25/0753		
代理人(译)	Yuchangyeol		

摘要(译)

公开了一种微型LED显示模块。微型LED显示模块包括基板;以及在基板上以多行和多列的方式排列在基板上的多个像素,每个像素包括A LED芯片,B LED芯片和C LED芯片。m行n列像素的A芯片是A1晶片的LED芯片,m行n-1列像素的A芯片和m行n + 1列像素的A芯片是A1晶片和另一个晶片的晶片。它是一个芯片。

